

**Partial English Translation of
LAID OPEN unexamined JAPANESE PATENT APPLICATION
Publication No. 63-45918**

Page 95, column (1), line 3 to column (2), line 11

2. Scope of Claim

1. A reference voltage circuit comprising:

a first integration circuit having a first switch, a second switch and a first capacitor of which respective one ends are commonly connected, a third switch and a second capacitor of which respective one ends are commonly connected and which are connected to the other end of the first capacitor and an inverted input terminal of an operational amplifier, a fourth switch and a fifth switch of which respective one ends are commonly connected and are connected to the other end of the second capacitor, wherein the other ends of the second switch and the fourth switch and a non-inversion input terminal of the operational amplifier are grounded, opening and closing of the first switch, the third switch and the fourth switch are controlled by respective synchronous clocks, opening and closing of the second switch and the fifth switch are controlled by respective clocks each having a reverse phase of the first switch, the third switch and the fourth switch, and the other end of the first switch is used as an input terminal, the other ends of the third switch and the fifth switch and an output terminal of the operational amplifier are commonly connected to be used as an output terminal; and

a second integration circuit which has the same structure as that of the first integration circuit except that control clocks for switches corresponding to the first switch and the second

switch of the first integration circuit have a reverse phase to that of the control clocks for the first switch and the second switch, and which has the input terminal commonly with the first integration circuit,

wherein reference voltages of which absolute value are equal to each other and which have different polarities from each other are taken out from the respective output terminals of the first integration circuit and second integration circuit.

Page 96, upper right column, line 5 to lower left column, line 4 from the bottom

The present invention has its object of providing a reference voltage circuit in which an absolute gain of an output of an A/D converter or a D/A converter has no error and asymmetrical distortion is caused between positive and negative values in case using the A/D converter or the D/A converter as a reference voltage circuit.

[Means of Solving the Problems]

The reference voltage circuit of the present invention comprises: a first integration circuit having a first switch (3), a second switch (4) and a first capacitor (5) of which respective one ends are commonly connected, a third switch (7) and a second capacitor (6) of which respective one ends are commonly connected and which are connected to the other end of the first capacitor and an inverted input terminal of an operational amplifier (10), a fourth switch (8) and a fifth switch (9) of which respective one ends are commonly connected and are connected to the other end of the second capacitor, wherein the other ends of the second switch and the fourth switch and a non-inversion input terminal of the

operational amplifier are grounded, opening and closing of the first switch, the third switch and the fourth switch are controlled by respective synchronous clocks, opening and closing of the second switch and the fifth switch are controlled by respective clocks each having a reverse phase of the first switch, the third switch and the fourth switch, and the other end of the first switch is used as an input terminal, the other ends of the third switch and the fifth switch and an output terminal of the operational amplifier are commonly connected to be used as an output terminal; and a second integration circuit which has the same structure as that of the first integration circuit except that control clocks for switches corresponding to the first switch and the second switch of the first integration circuit have a reverse phase to that of the control clocks for the first switch and the second switch, and which has the input terminal commonly with the first integration circuit, wherein reference voltages of which absolute value are equal to each other and which have different polarities from each other are taken out from the respective output terminals of the first integration circuit and second integration circuit.

⑫ 公開特許公報(A)

昭63-45918

⑬ Int.Cl.⁴H 03 M 1/34
1/66

識別記号

庁内整理番号

6832-5J
C-6832-5J

⑭ 公開 昭和63年(1988)2月26日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 基準電圧回路

⑯ 特 願 昭61-187902

⑰ 出 願 昭61(1986)8月12日

⑱ 発 明 者 真 壁 隆 芳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 垣 外2名

明 細 書

1. 発明の名称

基準電圧発生回路

2. 特許請求の範囲

1. 一端が共通接続された第1のスイッチ、第2のスイッチ及び第1のキャパシタと、一端が共通接続されて該第1のキャパシタの他端及び演算増幅器の反転入力端子に接続された第3のスイッチ及び第2のキャパシタと、一端が共通接続されて該第2のキャパシタの他端に接続された第4及び第5のスイッチとを有し、前記第2及び第4のスイッチの他端及び前記演算増幅器の非反転入力端子は接地され、前記第1、第3及び第4のスイッチはそれぞれ同期のクロックでその開閉を制御され、前記第2及び第5のスイッチはそれぞれ前記第1、第3及び第4のスイッチとは逆相のクロックでその開閉を制御され、前記第1のスイッチの他端を入力端子とし、前記第3及び第5のスイ

(1)

ッチの他端及び前記演算増幅器の出力端子を共通接続して出力端子とする第1の積分回路と；該第1の積分回路の第1及び第2のスイッチに相当するスイッチの制御クロックの位相が該第1及び第2のスイッチの制御クロックとは逆相になることを除けば、前記第1の積分回路と同一の回路構成であり、入力端子を前記第1の積分回路と共有する第2の積分回路と；を備え、前記第1及び第2の積分回路の出力端子から、絶対値は等しく、極性が互いに異なる基準電圧を取り出すことを特徴とする基準電圧回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、A/D変換器やD/A変換器に必要な基準電圧を発生する基準電圧回路に関し、特に、正負両極性の基準電圧を発生する基準電圧回路に関する。

〔従来の技術〕

従来、この種の基準電圧回路としては、第3図

(2)

に示すような回路がある。本回路は、基準電圧発生源1から基準電圧 V_{ref} を発生し、これを緩衝増幅器10及び反転増幅器19に入力し、絶対値は等しいが互いに極性の異なる2つの基準電圧 $V_{ref}^{(H)}$ 及び $V_{ref}^{(L)}$ をそれぞれ出力端子11及び20から取り出し、これらをA/D変換器(又はD/A変換器)21に供給する回路である。

演算増幅器は通常オフセット電圧を持っており、特に本回路を集積化した場合には、このオフセット電圧は演算増幅器により、異なり、数mVから数10mVの範囲にバラツキを持つ。今、第3図の回路において、それぞれの演算増幅器の入力換算オフセット電圧を、それぞれ V_{os1} 及び V_{os2} とすると、2つの基準電圧 $V_{ref}^{(H)}$ 及び $V_{ref}^{(L)}$ はそれぞれ、

$$\begin{cases} V_{ref}^{(H)} = V_{ref} + V_{os1} \\ V_{ref}^{(L)} = -V_{ref} + 2V_{os2} \end{cases} \quad (1)$$

と表わされ、2つの基準電圧が所望の電圧値に対して誤差を持ち、更に正負の基準電圧にも非対称性が生ずることになる。

(3)

子は接地され、前記第1、第3及び第4のスイッチはそれぞれ同相のクロックでその開閉を制御され、前記第2及び第5のスイッチはそれぞれ前記第1、第3及び第4のスイッチとは逆相のクロックでその開閉を制御され、前記第1のスイッチの他端を入力端子とし、前記第3及び第5のスイッチの他端及び前記演算増幅器の出力端子を共通接続して出力端子とする第1の積分回路と；該第1の積分回路の第1及び第2のスイッチに相当するスイッチの制御クロックの位相が該第1及び第2のスイッチの制御クロックとは逆相になることを除けば、前記第1の積分回路と同一の回路構成であり、入力端子を前記第1の積分回路と共有する第2の積分回路と；を備え、前記第1及び第2の積分回路の出力端子から絶対値は等しく、極性が互いに異なる基準電圧を取り出すことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す図である。

(5)

〔発明が解決しようとする問題点〕

したがって、本回路の場合、上述の理由により、A/D変換器又はD/A変換器の出力の絶対利得が誤差を持ち、正負の非対称歪を持つという欠点がある。

本発明の目的は、A/D変換器又はD/A変換器の基準電圧回路として使用した場合に、前記A/D変換器又はD/A変換器の出力の絶対利得が誤差を持たず、正負の非対称歪も生じない基準電圧回路を提供することにある。

〔問題点を解決するための手段〕

本発明の基準電圧回路は、一端が共通接続された第1のスイッチ(3)、第2のスイッチ(4)及び第1のキャパシタ(5)と、一端が共通接続されて該第1のキャパシタの他端及び演算増幅器(10)の反転入力端子に接続された第3のスイッチ(7)及び第2のキャパシタ(6)と、一端が共通接続されて該第2のキャパシタの他端に接続された第4及び第5のスイッチ(8及び9)とを有し、前記第2及び第4のスイッチの他端及び前記演算増幅器の非反転入力端

(4)

本回路において、1及び21は第3図の回路と同様に、それぞれ基準電圧 V_{ref} を発生する基準電圧発生源及びA/D変換器又はD/A変換器である。

また、3、7及び8は同一の位相を持つクロック ϕ_1 によってその開閉を制御されるスイッチであり、4及び9は ϕ_1 とは逆の位相を持つクロック ϕ_2 によりその開閉を制御されるスイッチである。更に5及び6は同一の容量値Cを持つキャパシタであり、10は演算増幅器である。以上のスイッチ、キャパシタ及び演算増幅器により、11を出力端子とする正相積分器が構成される。

また、同様にスイッチ12、13、16及び18、同一の容量値Cを持つキャパシタ、及び演算増幅器19により、20を出力端子とする積分器が構成される。但し、本積分器はスイッチ12及び13の制御クロックの位相がそれぞれスイッチ3及び4の位相とは逆相となっているため、逆相積分器として動作する。

これら、2つの積分器は、A/D変換器またはD/A変換器21に供給される例えば同期クロック

(6)

より作られる制御クロック ϕ_1 及び ϕ_2 を用いて、A/D変換器またはD/A変換器が基準電圧供給を必要としない期間(例えばリセット期間)に演算増幅器のオフセット電圧 V_{os1} 及び V_{os2} をキャパシタ5, 6, 14及び15にサンプリングすることによりオフセットをキャンセルする機能を有することを特徴とする。

以下、本機能の原理を説明する。

第2図は、制御クロック ϕ_1 及び ϕ_2 、両積分器の出力電圧 $V_{ref}^{(H)}$ 及び $V_{ref}^{(L)}$ の波形を示す図である。

ここで ϕ_1 がHighの期間すなわち ϕ_1 により制御される各スイッチが閉じている期間がオフセットサンプリングモードであり、 ϕ_1 がLowの期間が積分モードである。

まず正相積分器において、オフセットサンプリングモード時キャパシタ5及び6に蓄積される電荷を演算増幅器10の反転入力端子側を基準にしてそれぞれ Q_1 及び Q_2 と表わすと、

(7)

$$Q_1' = C(V_{ref} - V_{os2}) \quad (7)$$

$$Q_2' = C(V_{ref}^{(L)} - V_{os2}) \quad (7)$$

したがって、電荷保存則より、

$$V_{ref}^{(L)} = -V_{ref} \quad (7)$$

となり、オフセットをキャンセルした負極性基準電圧 $-V_{ref}$ が得られる。

(7)式及び(7)式より明らかなように、正負基準電圧は所望の電圧値に対し誤差を持たず、また正負の非対称性も持たない。

〔発明の効果〕

以上説明したように本発明の基準電圧回路は、正相及び逆相積分器に同一のオフセットキャンセル機能を持たせることにより、A/D変換器またはD/A変換器に使用した場合、A/D変換器またはD/A変換器の出力の絶対利得が誤差を持たず正負の非対称歪も生じないという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は第1図の回路の各部波形を示す図、第3図は従来

(9)

$$Q_1 = C(V_{ref} - V_{os1}) \quad (2)$$

$$Q_2 = C(-V_{os1}) \quad (3)$$

となる。同様に積分モード時のキャパシタ5及び6に蓄積される電荷をそれぞれ Q_1' 及び Q_2' とする。

$$Q_1' = C(-V_{os1}) \quad (4)$$

$$Q_2' = C(V_{ref}^{(H)} - V_{os1}) \quad (5)$$

となる。

したがって、電荷保存則より、

$$Q_1 + Q_2 = Q_1' + Q_2' \quad (6)$$

が成り立つから、

$$V_{ref}^{(H)} = V_{ref} \quad (7)$$

となり、オフセットをキャンセルした正極性基準電圧 V_{ref} が得られる。

同様に逆相積分器においても、キャパシタ14及び15に蓄積される電荷を、オフセットサンプリングモード時それぞれ Q_1 及び Q_2 、積分モード時それぞれ Q_1' 及び Q_2' と表わせば、次式が成り立つ。

$$Q_1 = C(-V_{os2}) \quad (8)$$

$$Q_2 = C(-V_{os2}) \quad (9)$$

(8)

の基準電圧回路の一構成例を示す図である。

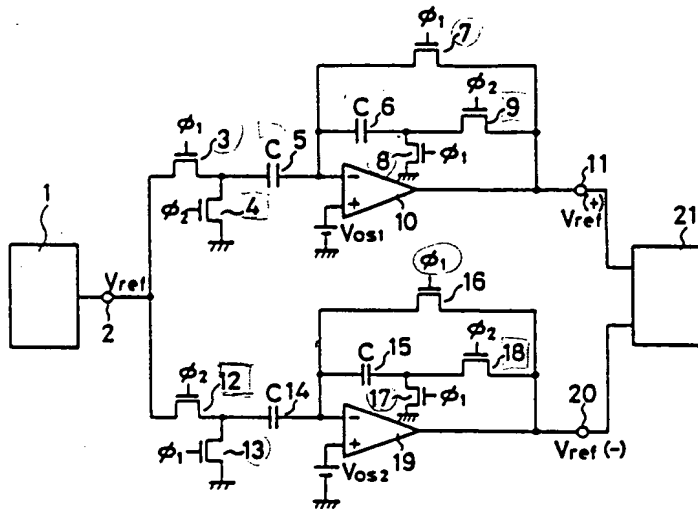
1…基準電圧発生源、2…基準電圧回路の入力端子、3, 4, 7, 8, 9, 12, 13, 16, 17, 18…スイッチ、5, 6, 14, 15…キャパシタ、10, 19…演算増幅器、11, 20…基準電圧回路の出力端子、21…A/D変換器またはD/A変換器、22, 23…抵抗。

発明人 (7783) 弁理士 池田 憲保

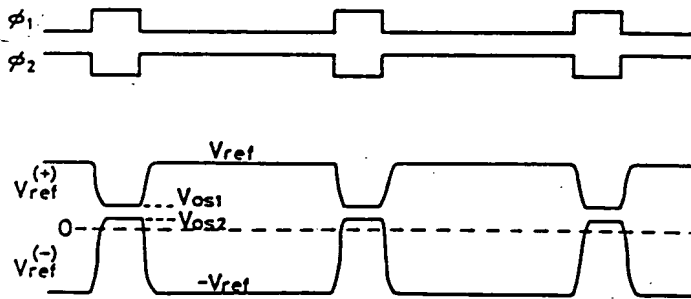


(10)

第 1 図



第 2 図



第 3 図

